

COW. JP 10-209443

[19]中华人民共和国专利局



[12] 发明专利申请公开说明书

[21] 申请号 98100144.0

[51] Int. Cl.<sup>6</sup>

H01L 21/336

H01L 29/78

[43]公开日 1998年7月29日

[11] 公开号 CN 1188982A

[22]申请日 98.1.20

[30]优先权

[32]97.1.20 [33]JP[31]70937/97

[71]申请人 日本电气株式会社

地址 日本国东京都

[72]发明人 安藤岳

[74]专利代理机构 中科专利代理有限公司

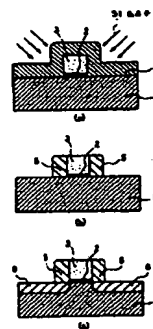
代理人 刘晓峰 朱进桂

权利要求书 3 页 说明书 9 页 附图页数 8 页

[54]发明名称 半导体器件及其制造方法

[57]摘要

一种半导体器件的制造方法，包含如下步骤：  
在基片上形成具有中间绝缘膜的栅电极；然后在基片及栅电极整个表面上沉积绝缘膜；然后以一定角度将氮离子植入绝缘膜；通过蚀刻绝缘膜在栅电极的侧面上形成含氮的绝缘膜侧壁；将杂质引入栅电极和基片以形成源极和漏极扩散区；暴露栅电极和源极及漏极扩散区的表面并在其上沉积钛膜，去除钛膜的未反应部分，从而以自一对准方式在源极和漏极扩散区上和栅电极上形成钛硅化物层。



(BJ)第 1456 号

## 权 利 要 求 书

---

1、一种生产半导体器件的方法，其特征在于包含如下步骤：

- (1). 在基片上形成一个栅电极，其具有一个中间的栅极绝缘膜；
- (2). 在基片的整个表面上及所述栅电极上沉积一层绝缘膜，然后以一定角度将氮离子植入所述绝缘膜；
- (3). 刻蚀所述绝缘膜，从而在所述栅电极的侧面上形成包含氮的一绝缘侧壁；
- (4). 将杂质引入所述栅电极和所述基片，从而形成源极和漏极扩散区；
- (5). 使所述栅电极表面和源极及漏极扩散区表面露出，在其整个表面上沉积一层钛膜，从而使所述钛膜及所述栅电极和源极及漏极扩散区之间发生反应；及
- (6). 去除所述钛膜的未反应部分，从而在所述源极和漏极扩散区上及栅电极上以自一对准方式形成钛硅化物层。

2、一种制造半导体器件的方法，其特征在于包含如下步骤：

- (1). 在硅基片上形成一层硅栅电极，其具有一中间的栅极绝缘膜；
- (2). 在所述基片的整个表面上及所述硅栅电极上沉积一层绝缘膜，然后以一定角度将氮离子植入所述绝缘膜；
- (3). 对所述绝缘膜进行各向异性刻蚀，从而在所述硅栅电极的侧面上形成含氮的绝缘侧壁；
- (4). 将杂质引入所述硅栅电极和所述硅基片，从而形成源极和漏极扩散区；
- (5). 使所述硅栅电极表面和源极及漏极扩散区表面露出，并在其整个表面上沉积钛膜，此后通过热处理使所述钛膜、及所述硅栅电极和源极及漏极扩散区之间发生反应；及

(6)去除所述钛膜的未反应部分，从而在所述源极和漏极扩散区上及栅电极上以自一对准的方式形成钛硅化物层。

3、一种制造半导体器件的方法，其特征在于包含如下步骤：

(1). 在基片上形成一栅电极，其具有一中间的栅极绝缘膜；

(2). 在所述基片和所述栅电极整个表面上沉积第一绝缘膜，然后刻蚀所述第一绝缘膜，从而在所述栅电极的侧面上形成第一绝缘膜侧壁；

(3). 将杂质引入所述栅电极和基片，从而形成源极和漏极扩散区；

(4). 在整个表面上沉积第二绝缘膜，然后以一定角度将氮离子植入所述第二绝缘膜；

(5). 蚀刻所述第二绝缘膜，从而沿所述第一绝缘膜侧壁在所述栅电极的侧面上形成含氮的第二绝缘侧壁；

(6). 使所述栅电极表面和源极及漏极扩散区表面露出，并在其整个表面上沉积一层钛膜，然后通过热处理使所述钛膜和所述栅电极及源极和漏极扩散区之间发生反应；及

(7). 去除所述钛膜的未反应部分，从而在所述源极和漏极扩散区上及所述栅电极上以自一准的方式形成钛硅化物层。

4. 一种半导体器件的制造方法，其特征在于包含如下步骤：

(1). 在基片上形成硅电极，其中间具有一栅极绝缘膜；

(2). 在所述硅基片和所述硅栅电极的整个表面上沉积第一绝缘膜，然后对所述第一绝缘膜进行各向异性蚀刻，从而在所述硅栅电极的侧面上形成第一绝缘侧壁；

(3). 将杂质引入所述栅电极和硅基片，从而形成源极和漏极扩散区；

(4). 在其整个表面上沉积第二绝缘膜，然后以一定角度离子植入所述第二绝缘膜；

(5). 对所述第二绝缘膜进行各向异性蚀刻，从而沿所述第一绝缘膜侧壁在所述硅栅电极的侧面上形成含氮的第二绝缘侧壁；

(6). 使所述栅电极表面和源极及漏极扩散区表面露出, 并在其整个表面上沉积一层钛膜, 然后通过热处理使所述钛膜和所述栅电极及源极和漏极扩散区之间发生反应; 及

(7). 去除所述钛膜的未反应部分, 从而在所述源极和漏极扩散区上和所述栅电极上以自一对准的方式形成钛硅化物层。

5、根据权利要求1所述的半导体制造方法, 其特征在于用于将氮离子植入所述绝缘膜的植入角在40度到50度之间。

6、一种半导体器件, 其特征在于包含:

在硅基片表面上形成的绝缘栅极膜;

在所述硅基片上形成的具有中间栅极绝缘膜的多晶硅薄膜;

在所述多晶硅膜上形成的钛硅化物膜;

围绕所述绝缘栅极膜、所述多晶硅膜和所述钛的硅化物膜的侧面形成的绝缘侧壁; 及

在形成于所述硅基片上的源极区和漏极区上分别形成的钛硅化物膜;

且其中所述绝缘侧壁中含有氮。

7、一种半导体器件, 其特征在于包含:

在硅基片的表面上形成的绝缘栅极膜;

在所述硅基片上形成的具有中间栅极绝缘膜的多晶硅膜;

在所述多晶硅膜上形成的钛硅化物膜;

围绕所述栅极绝缘膜, 所述多晶硅膜及所述钛硅化物膜形成的第一绝缘侧壁; 及

在分别形成于所述基片上的源极区及漏极区上分别形成的钛硅化物膜;

且其中第二绝缘侧壁还被成形为包围住所述第一绝缘侧壁且所述第二绝缘侧壁中含氮。

## 说明书

### 半导体器件及其制造方法

本发明涉及一种制造半导体器件的方法及由此方法所生产的一种半导体器件，且尤其涉及一种生产MOS（金属氧化物半导体）晶体管的方法，在该方法中，在源极、漏极扩散层及栅电极上以自对准的方式形成一层钛的硅化物层。

最近几年，随着半导体器件的集成化水平及尺寸压缩的提高，已开始使用一种自-对准的硅化物结构。其中，在MOS晶体管内，在硅栅电极和源极漏极区的表面上形成一层硅化物层，从而可以减少栅电极和源极漏极区的电阻。

图6和图7为对于具有硅化物结构的MOS晶体管的生产工艺顺序的截面图；

首先，参考图6（a），我们可以看到，当在P-型硅基片1上形成一个多晶硅栅电极3之后，且栅电极3具有一个夹层栅极氧化物薄膜2，则应用CVD工艺来在整个面积上来沉积氧化物薄膜4。

然后，对此氧化物4进行各向异性的蚀刻从而在多晶硅栅电极3的侧面上形成如图6（b）中所示的氧化物薄侧壁5。此外，在离子植入n-型杂质后，进行激活处理，从而形成如图6（c）中所示的源极和漏极扩散区6。

然后，使得源极和漏极扩散区6和多晶硅栅电极3的顶部暴露出来，对整个表面进行溅射，从而沉积如图7（a）中所示的钛薄膜7。

接着，进行热处理从而使得在钛薄膜7，源极和漏极扩散区6及硅栅电极3内发生反应，这样可形成如图7（b）中所示的钛的硅化物层8。

最后，使用氨和过氧化氢的混合水溶液对未反应的钛层9进行

湿法蚀刻，从而在源极和漏极扩散区 6 的表面区上及硅栅电极 3 的顶部形成自一对准的钛的硅化物层 8。

以上所述的是通过在源极和漏极扩散区上及栅电极的顶部以自一对准方式形成钛的硅化物层来生产 MOS 晶体管的标准生产工艺。然而在此方法中，存在一个问题，即使钛的硅化物不知不觉混进氧化物侧壁 5 上，这会导至漏极扩散区和栅电极间的短路或漏电。为了解决此问题，过去已试用了几种方法。

例如，在如图 8 中所示的日本未审查专利申请公开 H8-55981 中，揭示了一种生产半导体器件的方法，其中，在形成氧化物侧壁 5 之后，从斜筒头的方向来离子植入诸如磷或砷的 n-型杂质。根据过去此方法的描述，由于在包括 n-型杂质的氧化物膜上硅化反应受到抑制，从而很难在氧化物侧壁 5 上来生长钛的硅化物，这样使得可以防止源极和漏极扩散区与栅电极间的短路及漏电。

同样，在日本未审查专利公报 H5-102074 中，如图 9 中所示，揭示了一种生产 MOS 晶体管的方法，其中在栅电极侧壁上形成氮膜侧壁 15。根据过去的此方法的描述，由于在氮化膜上的硅化反应受抑制，从而很难在氧化物侧壁 5 上来生长钛的硅化物，这使得可以防止源极和漏极扩散区和栅电极之间的短路及漏电。

在图 8 中所示的过去的此方法中，诸如磷或砷的 n-型杂质确实具有抑制钛的硅化反应的作用。然而，正如所看到的事实，即还在 n-型扩散层的顶部上形成钛的硅化物，因此其效果不是那么理想。

此外，还有在这样一个问题，即当从斜箭头的方向来将 n-型杂质植入氧化物侧壁时，此 n-型杂质也会同时被引入源极和漏极扩散区及栅电极。由于此原因，当人们考虑形成具有 P-型源极及漏极的 PMOS 器件时，可以看到对于可被使用的 n-型杂质的剂量是有一定限度的。

通常而言，将杂质引入 PMOS 源极和漏极扩散区及栅电极是用大约为  $1$  至  $5 \times 10^{15} / \text{cm}^2$  量级的硼或  $\text{BF}_2$  进行的。因此，为了保证对 PMOS 源极和漏极扩散区的构成不造成影响，有必要将被植入氧化物侧壁的 n-型杂质的剂量限定到约为硼或氟化硼

的剂量的1/10或更少。即，有必要将其剂量限定在大约少于  $1 \times 10^{14} / \text{cm}^{-2}$  到  $5 \times 10^{14} / \text{cm}^{-2}$ 。这使得获得抑制硅化反应的效果更加困难。

在现有技术中，因此，存在无法充分抑制硅化反应的问题。

在图9中所示的过去的实例中，在栅电极侧壁表面上形成氮化膜侧壁。然而，由于制成氮化膜的氮和硅之间存在很强的化学键，因此即使在硅化反应中，氮没起什么积极作用，从而无法充当抑制硅化反应的作用。因此，在此现有技术方法中，存在一个问题，即无法充分抑制住硅化反应。

本发明的一个目的是提供一种生产半导体器件的方法，从而可抑制钛的硅化物不知不觉混入绝缘膜侧壁，且还可防止源极和漏极扩散区与栅电极间的短路和漏电，本发明还提供一种通过此方法制造的半导体器件。

为了实现上述目的，根据本发明的生产半导体器件的方法包含如下步骤：

- 1、在基片上形成一个栅电极，在其间具有一个居间的栅极绝缘膜；
- 2、在基片的整个表面上和栅电极上沉积一层绝缘膜，然后以一定角度将氮离子植入绝缘膜；
- 3、蚀刻绝缘膜从而在栅电极的侧壁上形成包括氮的绝缘侧壁；
- 4、将杂质引入栅电极和基片，从而形成源极和漏极扩散区；
- 5、使栅电极表面和源极及漏极扩散区表面暴露出来，在其整个表面上沉积钛膜，从而使钛膜与栅电极和源极及漏极扩散区之间发生反应；及
- 6、去除钛膜的未反应部分，从而以自-对准的方式在源极和漏极扩散区及栅电极上形成钛的硅化物层。

在另一方面，根据本发明的生产半导体的方法具有如下步骤：

- 1、在硅基片上形成硅栅电极，其间具有栅极绝缘膜；
- 2、在硅基片的整个表面和硅栅电极上沉积一层绝缘膜，然后以一定角度将氮离子植入绝缘膜；
- 3对绝缘膜进行各向异性蚀刻，从而在硅栅电极的侧面上形成

包括氮的绝缘侧壁；

4、将杂质引入硅栅极和硅基片，从而形成源极和漏极扩散区；

5、使硅栅电极表面和源极漏极扩散区表面暴露出来，并在其整个表面上沉积一层钛膜，此后通过热处理使钛膜和硅栅电极及源极和漏极扩散区间发生反应；及

6、去除钛膜的未反应部分，从而以自-对准的方式在源极和漏极扩散区和栅电极上形成钛的硅化物层。

在另一方面，根据本发明的生产半导体器件的方法具有如下步骤：

1、在基片上形成一栅电极，其间具有一栅绝缘膜；

2、在基片的整个表面上和栅电极上沉积一层第一绝缘膜，然后刻蚀第一绝缘膜，从而在栅电极的侧面上形成第一绝缘膜侧壁；

3、将杂质引入栅电极和基片，从而形成源极和漏极扩散区；

4、在整个表面上沉积一第二绝缘膜，然后将氮以一定角度离子植入第二绝缘膜；

5、刻蚀第二绝缘膜，从而在栅电极的侧表面上沿着第一绝缘膜的侧壁形成包含有氮的一第二绝缘侧壁；

6、使栅电极表面和源极及漏扩散区表面暴露出来，在其整个表面上沉积一层钛膜，然后通过热处理使钛膜和栅电极及源极和漏极扩散区之间发生反应；及

7、去除钛膜的未反应部分，从而以自-对准方式在源极和漏极扩散区及栅电极上形成钛的硅化物层。

另外在另一方面，根据本发明的制造半导体器体的方法包含如下步骤：

1、在硅基片上形成一栅硅电极，其中间具有一栅极绝缘膜；

2、在硅基片的整个表面上及硅栅电极上沉积一层第一绝缘膜，然后对第一绝缘膜进行各向异性蚀刻，从而在硅栅电极的侧面上形成第一绝缘侧壁；

3、将杂质引入硅栅电极和硅基片，从而形成源极和漏极扩散区；

4、在其上的整个表面上沉积一层第二绝缘膜，然后将氮以一



定角度离子植入第二绝缘膜；

5、对第二绝缘膜进行各向异性蚀刻，从而在硅栅电极的侧面上沿所述第一绝缘侧壁形成包含有氮的第二绝缘侧壁；

6、使硅栅电极表面和源极及漏极扩散区表面暴露出来，并在其整个表面上沉积一钛膜，然后使钛膜与硅栅电极和源极及漏极扩散区间发生反应；及

7、去除钛膜的未反应部分，从而通过使用热处理以自-对准方式在源极和漏极扩散区及栅电极上形成一层钛的硅化物层。

将氮植入绝缘膜的植入角度最好在40到50度的范围内。

本发明的半导体是根据上述的生产方法制造的。

根据本发明，形成一个栅电极且在其整个表面上沉积一绝缘膜。此后，以一定角度将氮植入此绝缘膜。接着，使用各向异性蚀刻来蚀刻绝缘膜，从而在栅电极的侧壁上形成含有氮的绝缘膜。由于此原因，当进行热处理时，使将盖住整个表面的钛膜、栅电极及源和漏极扩散区之间发生反应，氮侵入与绝缘膜侧壁相接触的钛膜。其结果，抑制了钛的硅化物不知不觉混入绝缘膜侧壁，从而可防止源极和漏极扩散区与栅电极间的短路和漏电。

图1为根据本发明的制造MOS晶体管的方法的第一个实施例的截面图；

图2为根据本发明的制造MOS晶体管的方法第一个实施例的截面图；

图3为根据本发明的制造MOS晶体管的方法的第二个实施例的截面图；

图4为根据本发明的制造MOS晶体管的方法的第二个实施例的截面图；

图5为根据本发明的制造MOS晶体管的方法的第二个实施例的截面图；

图6为生产具有硅化物结构的MOS晶体管的标准生产方法的截面图；

图7为生产具有硅化物结构的MOS晶体管的标准生产方法的截面图；

图 8 为过去的生产 MOS 晶体管的方法的截面图；

图 9 为过去的生产 MOS 晶体管的另一种方法的截面图。

下面描述本发明的实施例。同时参考相应的附图。图 1 和图 2 为根据本发明第一个实施例的生产 MOS 晶体管的主要生产工艺步骤的截面图。

首先，如图 1 (a) 中所示，在 P - 型硅基片 1 上形成厚度为 150 到 300nm 的多晶硅栅电极 3，其具有 5 - 10 nm 厚的中间栅极氧化物薄膜（绝缘膜），此后，使用 CVD 工艺或类似工艺来在其整个表面上沉积 70 到 150nm 厚的氧化物薄膜（绝缘膜）4。然后，用 5 到 20 KeV 的加速能量来植入氮离子 51，从而在某一角度可分给  $1 \times 10^{15} / \text{cm}^2$  或更大的剂量。离子植入角度的范围为从 40 度到 50 度，且最好为 45 度。当以 45 度为角度用 10 KeV 的加速能量植入氮离子时，进入的范围大约为 15 nm，从而保证仅植入氧化物膜 4。

接着，对氧化物膜 4 进行各向异性蚀刻，从而如图 1 (b) 中所示，在多晶硅栅电极 3 的侧面形成含有氮的氧化物膜侧壁 5。另外，在以 30 到 50 KeV 的加速能量和  $1 \times 10^{15} / \text{cm}^2$  到  $5 \times 10^{15} / \text{cm}^2$  的剂量植入砷离子后，在 950 到 1050°C 的温度，进行 10 到 60 秒钟的激活热处理，从而形成图 1 (c) 中所示的 n-型源极和漏极扩散区 6。

接着，通过含氟酸处理，使源极和漏极扩散区 6 的表面及硅栅电极 3 的顶部露出，使用溅射，在其整个表面上沉积如图 2 (a) 中所示的厚度为 20 到 40 nm 的钛膜 7。然后进行热处理使得钛膜 7 和源极及漏极扩散区 6、及硅栅电极 3 之间发生反应，从而形成如图 2 (b) 中所示的厚度为 40 到 80 nm 的钛的硅化物膜 8。

最后，例如，在氨和过氧化氢的混合溶液中进行浸入，从而通过湿法蚀刻去除未反应的钛膜 9。其结果，如图 2 (c) 中所示，在源极和漏极扩散区 6 的表面区域上及硅栅 3 的顶部形成钛的硅化物层 8。

根据本发明，在形成栅电极 3 之后再用氧化物薄膜覆盖住其整个表面，以一定角度对绝缘膜进行氮的离子植入。然后，对此氧化

物薄膜进行各向异性蚀刻，从而在栅电极3的侧面上形成含有氮的氧化物薄膜侧壁5。由于此原因，当使用热处理使盖住整个表面的钛膜7与栅电极3和源极及扩散区6之间发生反应时，会使氮侵入与氧化物膜侧壁5接触的钛膜7。其结果，可以抑制钛的硅化物混入氧化物薄膜侧壁5，并可以源极和漏极扩散层6与栅电极3之间的短路和漏电。

也可用氮化物薄膜代替氧化物薄膜4，并使用相同的方法来形成含氮的氧化物侧壁。同样在此情况下，正如使用氧化物薄膜侧壁一样也可获得相同的效果。

如上所述，本发明的半导体器件的一个实施例包括在硅片1的表面上提供绝缘栅极膜2、在硅基片1上形成具有一中间的栅极绝缘膜2的一多晶硅膜3，在多晶硅膜3上形成钛的硅化物膜8、围绕绝缘栅极膜2、多晶硅膜3和钛的硅化物膜8的侧面3a形成绝缘侧壁5、并在形成于硅基片1之上的源极区和漏极区6上形成钛的硅化物膜8，且其中绝缘侧壁5中包含有氮51。

接着，参考相应附图对本发明的第二个实施例进行描述。图3到图5为生产根据本发明第二个实施例的MOS晶体管的主要生产工艺步骤的截面图。

首先，从图3(a)中所示，在P-型硅基片1上，形成150到300nm厚的多晶硅栅电极3，其具有5到10nm厚的中间栅极氧化物膜2，此后，用CVD工艺或类似工艺来在其整个表面上沉积35到75nm厚的第一氧化物膜（第一绝缘膜）10。然后，对第一氧化物膜10进行多向异性蚀刻，从而形成如图3(b)中所示的在多晶硅栅极3的侧面上的第一氧化膜侧壁壁11。

接着，用30到50KeV的加速能量植入砷离子从而分给 $1 \times 10^{15} / \text{cm}^{-2}$ 至 $5 \times 10^{15} / \text{cm}^{-2}$ 的剂量。此后，在950到1050°C进行10到60秒钟的激活热处理，从而形成如图3(c)中所示的n-型源极和漏极扩散区6。

然后，使用CVD方法或类似方法在其整个表面上沉积35到75nm厚的如图4(a)中所示的第二氧化物膜（第二绝缘膜）12，并用5到20KeV的加速能量植入氮离子，从而分给 $1 \times$

$1.0 \times 10^{15} / \text{cm}^2$  的一剂量。植入角为  $40^\circ$  到  $50^\circ$  之间，且最好为  $45^\circ$ 。

当以  $45^\circ$  角用  $10 \text{ Kev}$  的加速能量植入氮离子时，深入的范围大约为  $15 \text{ nm}$ ，从而能使植入仅进到第二氧化物薄膜 12。

接着，对第二氧化物膜 12 进行各向异性蚀刻，从而沿第一氧化物膜侧壁 11 在多晶硅栅电极 3 的侧面上形成含有氮的第二氧化物侧壁 13。

然后，通过含氟酸的处理，使源极和漏极扩散区 6 的表面及硅栅电极 3 的顶部表面露出，使用溅射在其整个表面上形成如图 4 (c) 所示的厚度为  $20$  到  $40 \text{ nm}$  的钛膜 7。然后进行热处理，使得钛膜 7 和源极及漏极扩散区 6 以及硅栅电极 3 之间发生反应，从而形成如图 5 (a) 中所示的厚度为  $40$  到  $80 \text{ nm}$  的钛的硅化物层 8。

最后，在诸如氨和过氧化氢的混合溶液中进行浸入，从而通过湿法刻能去除未反应的钛膜。其结果，如图 5 (b) 中所示，在源极和漏极扩散区 6 的表面区上及硅栅电极 3 的顶部形成钛的硅化物膜 8。

在本发明的第二实施例中，由于进行了目的在于形成源极和漏极扩散区的激活热处理，接着形成含氮的第二氧化物膜侧壁，从而不存在由于激活所导致的氮外扩散的危险，由此使得可以加强抑制钛的硅化物混入氧化物膜侧壁的效果。

如上所述，本发明的半导体器件的另一个实施例包含在硅基片 1 的表面上提供的一绝缘栅极膜 2、在基片 1 上形成的具有中间栅极绝缘膜 2 的多晶硅膜 3、在多晶硅膜 3 上形成的钛的硅化物膜 8、围绕绝缘栅极膜 2、多晶硅膜 3 及钛的硅化物膜 8 的侧面 3a 形成的第一绝缘侧壁 11，及在形成于硅基片 1 之上的源极区和漏极区 6 上形成的钛的硅化物膜 8，且其中还形成第二绝缘侧壁 13 以围住第一绝缘侧壁 11 和其中含有氮的第二绝缘侧壁 13。

根据本发明，由于在整个表面上沉积绝缘膜后，以一定角度将离子植入绝缘膜，当使用热处理来使盖住整个表面的钛膜与源极及漏极扩散区之间发生反应时，从而形成钛的硅化物层，由于有由被

植入绝缘膜侧壁的氮引起的来自钛膜内的氮化的进行，从而可以抑制钛的硅化物混入绝缘膜侧壁内，因此，可防止源极和漏极扩散区与栅电极间的短路和漏电。

# 说明书附图

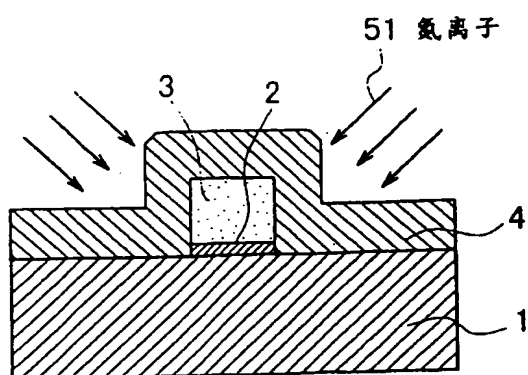


图 1(a)

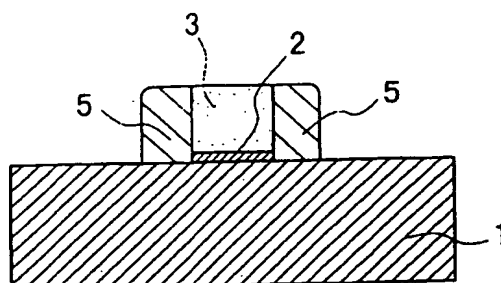


图 1(b)

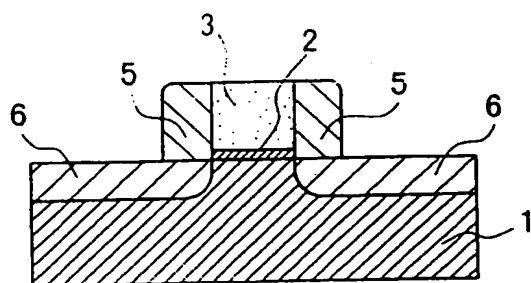


图 1(c)

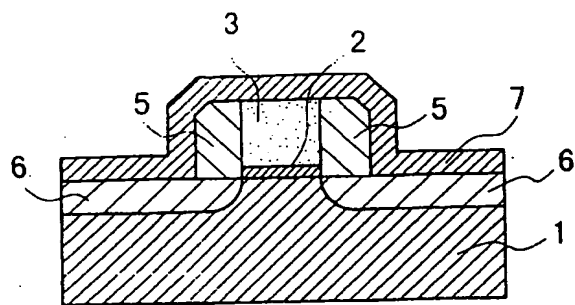


图 2(a)

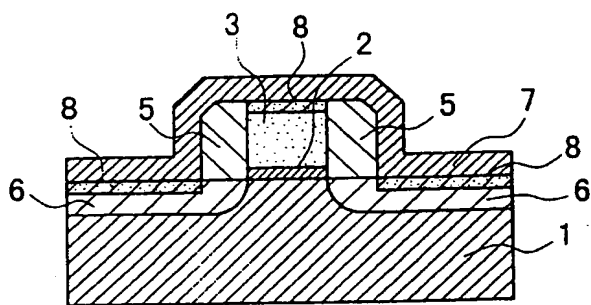


图 2(b)

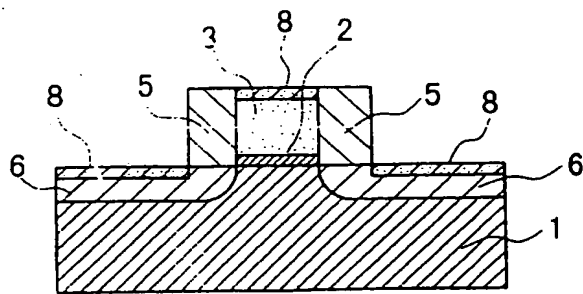


图 2(c)

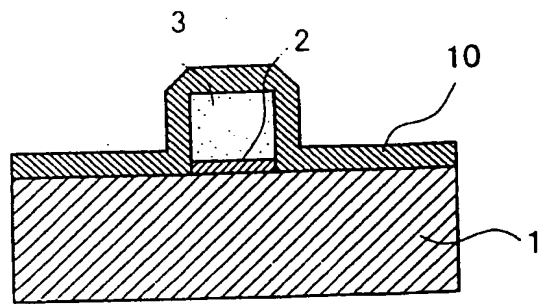


图 3(a)

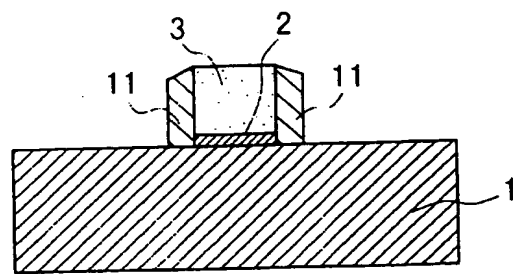


图 3(b)

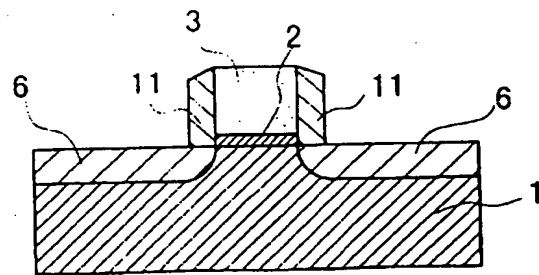


图 3(c)



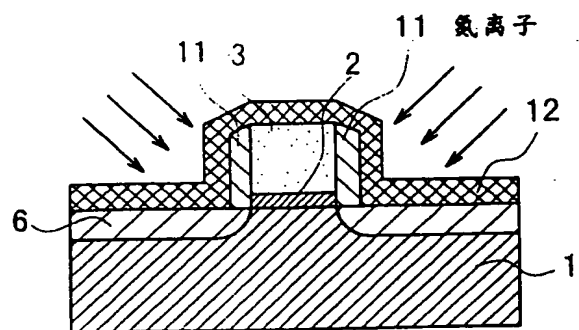


图 4(a)

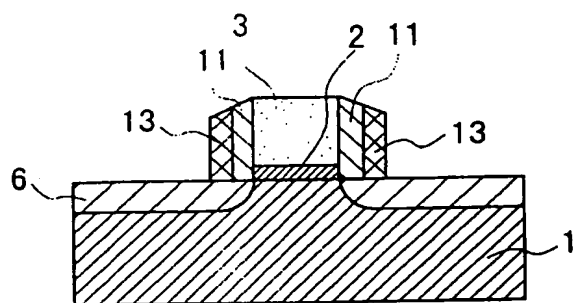


图 4(b)

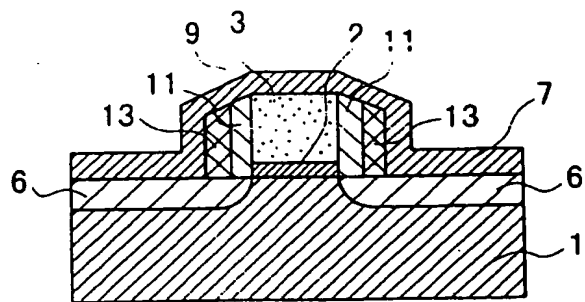


图 4(c)

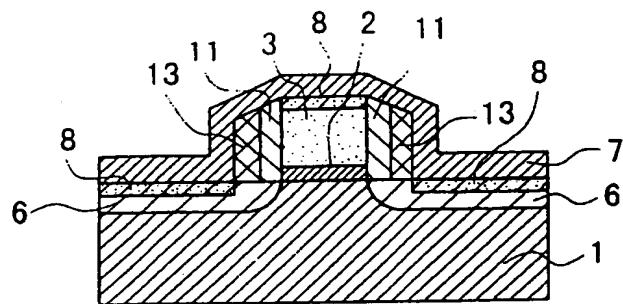


图 5(a)

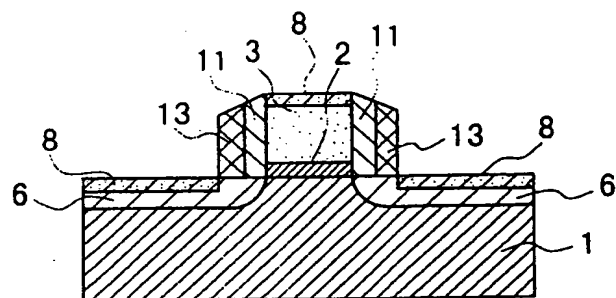


图 5(b)

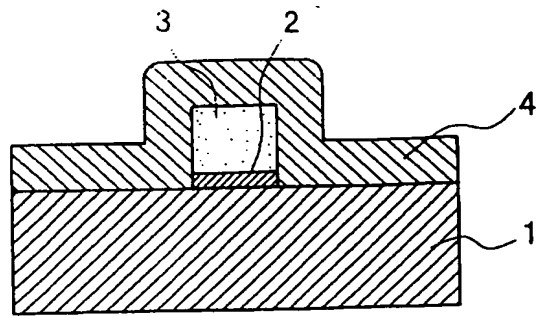


图 6(a)

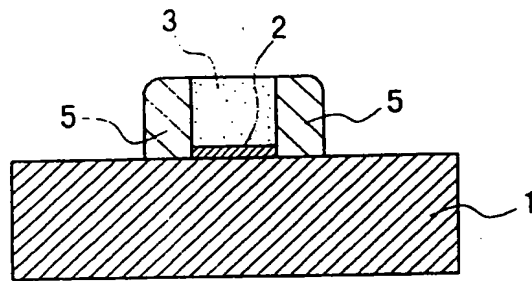


图 6(b)

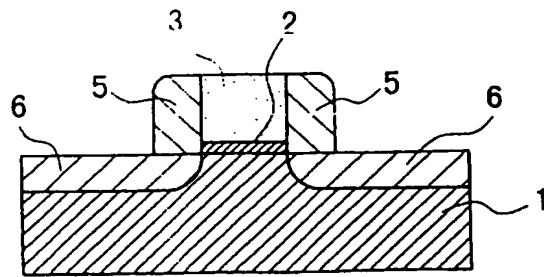


图 6(c)

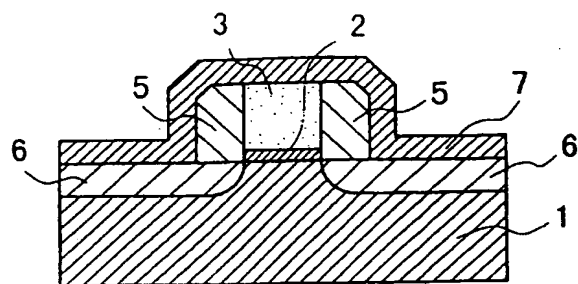


图 7(a)

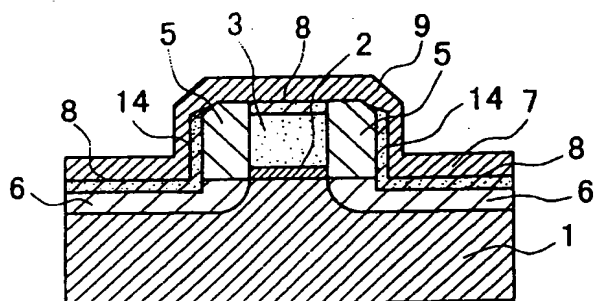


图 7(b)

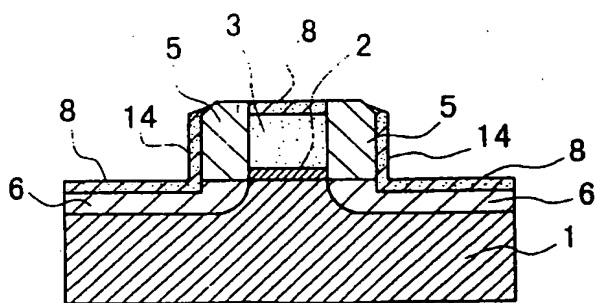


图 7(c)

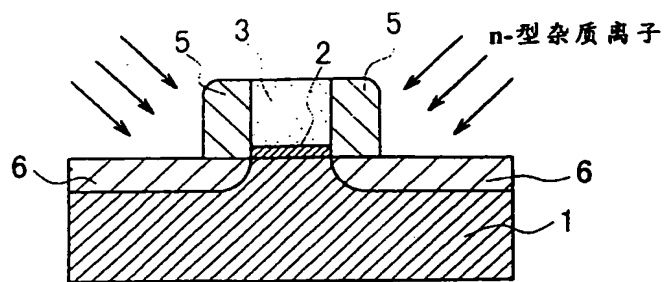


图 8

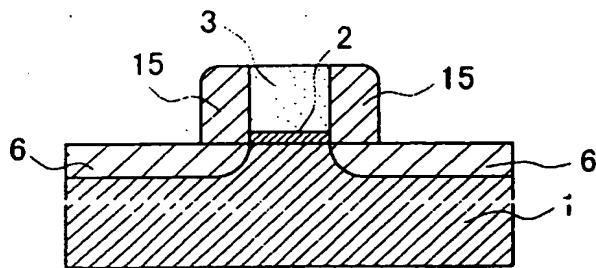


图 9